

本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 4月 6日

出 願 番 号
Application Number:

平成11年特許願第099033号

出 願 人
Applicant(s):

セイコーエプソン株式会社

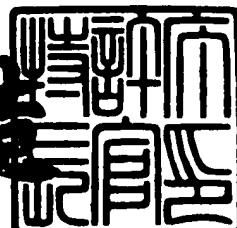
RECEIVED
APR 18 2001
TECHNOLOGY CENTER 2800

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 3月 16日

特許庁長官
Commissioner,
Patent Office

及川耕造



【書類名】 特許願
 【整理番号】 J0071845
 【提出日】 平成11年 4月 6日
 【あて先】 特許庁長官 殿
 【国際特許分類】 H01L 21/8247
 H01L 27/04
 【発明の名称】 半導体装置及びその製造方法
 【請求項の数】 3
 【発明者】
 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 【氏名】 桑沢 和伸
 【特許出願人】
 【識別番号】 000002369
 【氏名又は名称】 セイコーエプソン株式会社
 【代表者】 安川 英昭
 【代理人】
 【識別番号】 100093388
 【弁理士】
 【氏名又は名称】 鈴木 喜三郎
 【連絡先】 0266-52-3139
 【選任した代理人】
 【識別番号】 100095728
 【弁理士】
 【氏名又は名称】 上柳 雅誉
 【選任した代理人】
 【識別番号】 100107261
 【弁理士】
 【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板上にフラッシュセル及び容量値の異なる第1、第2の容量素子が形成された半導体装置であって、

前記フラッシュセルは、前記半導体基板上に絶縁膜を介して形成されたフローティングゲートと、前記フローティングゲート上にシリコン酸化膜およびシリコン窒化膜を介して形成されたコントロールゲートと、を具備し、

前記第1、第2の容量素子は、下部電極と、前記下部電極上に形成されたONO膜と、前記ONO膜上に形成された上部電極と、を具備し、

前記第1の容量素子の下部電極上に形成された前記ONO膜と、前記第2の容量素子の下部電極上に形成された前記ONO膜とは、膜厚が異なることを特徴とする半導体装置。

【請求項2】 前記コントロールゲートおよび前記第1、第2の容量素子の上部電極は、多結晶シリコンとタンゲステンシリサイドの2層構造からなるポリサイド膜であることを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体基板上に絶縁膜を形成する工程と、

前記絶縁膜上に多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜をパターニングすることにより、前記絶縁膜上にフラッシュセルのフローティングゲート、第1の容量素子の下部電極、第2の容量素子の下部電極を形成する工程と、

前記フローティングゲートの側壁、前記第1の容量素子の下部電極上、前記第2の容量素子の下部電極上に、第1のシリコン酸化膜を形成する工程と、

前記第1のシリコン酸化膜上に第2のシリコン酸化膜を形成する工程と、

前記第1の容量素子の下部電極上に堆積した前記第1のシリコン酸化膜および前記第2のシリコン酸化膜を除去する工程と、

前記フローティングゲートおよび前記第2の容量素子の下部電極上に堆積した前記第2のシリコン酸化膜の上部と、前記第1の容量素子の下部電極の上部に、第3のシリコン酸化膜を形成する工程と、

前記第3のシリコン酸化膜上にシリコン窒化膜を堆積する工程と、

前記第1、第2の容量素子の下部電極上の前記シリコン窒化膜の上部にフォトレジスト膜を形成し、このフォトレジスト膜をマスクとして前記シリコン窒化膜を異方性エッチングすることにより、前記フローティングゲートの側壁下部に前記シリコン窒化膜からなる側壁材を形成すると共に、前記第1、第2の容量素子の下部電極上に前記シリコン窒化膜を残す工程と、

前記フローティングゲートの側壁下部に形成されたシリコン窒化膜からなる前記側壁材上および前記第1、第2の容量素子の下部電極上に形成された前記シリコン窒化膜上に、第4のシリコン酸化膜を形成する工程と、

前記第4のシリコン酸化膜上に導電膜を堆積させ、前記導電膜をパターニングすることにより、前記フローティングゲート上にコントロールゲートを形成すると共に、前記第1、第2の容量素子の下部電極上に前記第1、第2の容量素子の上部電極を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フラッシュセルと容量素子とを同一チップ内に形成した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

従来は、Split Gate型Flash Cellと、多結晶シリコン膜と多結晶シリコン膜との間に形成される容量素子（キャパシタ）とを同一チップ内に混載した半導体装置はなかった。即ち、Split Gate型Flash Cellと容量素子とを同一半導体基板上に形成するという概念がなかった。従って、第1の半導体基板上にSplit Gate型Flash Cellを設け、第2の半導体基板上に容量素子を設けることにより、Split Gate型Flash Cellと容量素子を別々のチップに設けていた。

【0003】

一方、従来は、同一のチップ内に異なる容量値を備えた2つの容量素子を形

成する場合、2つの容量素子においてそれぞれの容量電極の面積を変えることによって該2つの容量素子を形成していた。

【0004】

すなわち、シリコン基板上に第1の絶縁膜を形成し、この第1の絶縁膜上に多結晶シリコン膜を堆積する。次に、この多結晶シリコン膜上にフォトレジスト膜を設け、このフォトレジスト膜をマスクとして該多結晶シリコン膜をエッチングすることにより、該第1の絶縁膜上に多結晶シリコン膜からなる第1及び第2の下部電極が形成される。この際、第1及び第2の下部電極それぞれの容量電極となる部分の面積は異なるものとする。

【0005】

この後、第1及び第2の下部電極に所定のドーズ量で不純物をイオン注入する。これにより、第1及び第2の下部電極はともに同一濃度の不純物が導入される。次に、第1及び第2の下部電極上に第2の絶縁膜（誘電体膜）を形成し、この第2の絶縁膜上に多結晶シリコン膜を堆積する。この後、この多結晶シリコン膜上にフォトレジスト膜を設け、このフォトレジスト膜をマスクとして該多結晶シリコン膜をエッチングすることにより、第1の下部電極上に第2の絶縁膜を介して該多結晶シリコン膜からなる第1の上部電極が形成され、第2の下部電極上に第2の絶縁膜を介して該多結晶シリコン膜からなる第2の上部電極が形成される。このようにして同一のチップ内に異なる容量値を備えた2つの容量素子を有する半導体装置を形成していた。

【0006】

ところで、上記従来の半導体装置では、形成する容量値に応じて下部電極の面積を変えることにより、異なる容量値を備えた2つの容量素子を同一チップ内に形成している。このため、2つの容量素子のうち少なくとも一方の容量値を変更する場合は、その変更する容量素子の下部電極の面積を変える必要がある。そのためには、下部電極をパターニングする際に用いるフォトマスクを再設計し、再製作しなければならない。従って、容量値を変更するには多大なコストがかかることとなる。

【0007】

【発明が解決しようとする課題】

上述したように、Split Gate型Flash Cellと容量値の異なる複数の容量素子を同一チップ内に作り込まないため、チップ数が増加し、その結果、製品コストが大きくなってしまうという問題がある。また、従来の半導体装置において同一チップ内の複数の容量素子のうち少なくとも一つの容量値を変更する場合には、フォトマスクを再設計し、再製作しなければならないため、多大なコストがかかるという問題がある。

【0008】

本発明は上記のような事情を考慮してなされたものであり、その目的は、フラッシュセルと容量値の異なる複数の容量素子とを同一チップ内に形成でき、しかも容量値の異なる複数の容量素子を容易に形成できる半導体装置及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】

上記課題を解決するために、本発明の半導体装置は、
半導体基板上にフラッシュセル及び容量値の異なる第1、第2の容量素子が形成された半導体装置であって、

前記フラッシュセルは、前記半導体基板上に絶縁膜を介して形成されたフローティングゲートと、前記フローティングゲート上にシリコン酸化膜およびシリコン窒化膜を介して形成されたコントロールゲートと、を具備し、

前記第1、第2の容量素子は、下部電極と、前記下部電極上に形成されたONO膜と、前記ONO膜上に形成された上部電極と、を具備し、

前記第1の容量素子の下部電極上に形成された前記ONO膜と、前記第2の容量素子の下部電極上に形成された前記ONO膜とは、膜厚が異なることを特徴とする。

【0010】

また本発明の半導体装置は、

前記コントロールゲートおよび前記第1、第2の容量素子の上部電極は、多結

晶シリコンとタンクステンシリサイドの2層構造からなるポリサイド膜であることを特徴とする。

【0011】

さらに本発明の半導体装置の製造方法は、
半導体基板上に絶縁膜を形成する工程と、
前記絶縁膜上に多結晶シリコン膜を形成する工程と、
前記多結晶シリコン膜をパターニングすることにより、前記絶縁膜上にフラッシュセルのフローティングゲート、第1の容量素子の下部電極、第2の容量素子の下部電極を形成する工程と、
前記フローティングゲートの側壁、前記第1の容量素子の下部電極上、前記第2の容量素子の下部電極上に、第1のシリコン酸化膜を形成する工程と、
前記第1のシリコン酸化膜上に第2のシリコン酸化膜を形成する工程と、
前記第1の容量素子の下部電極上に堆積した前記第1のシリコン酸化膜および前記第2のシリコン酸化膜を除去する工程と、
前記フローティングゲートおよび前記第2の容量素子の下部電極上に堆積した前記第2のシリコン酸化膜の上部、前記第1の容量素子の下部電極の上部に第3のシリコン酸化膜を形成する工程と、
前記第3のシリコン酸化膜上にシリコン窒化膜を堆積する工程と、
前記第1、第2の容量素子の下部電極上の前記シリコン窒化膜の上部にフォトレジスト膜を形成し、このフォトレジスト膜をマスクとして前記シリコン窒化膜を異方性エッチングすることにより、前記フローティングゲートの側壁下部に前記シリコン窒化膜からなる側壁材を形成すると共に、前記第1、第2の容量素子の下部電極上に前記シリコン窒化膜を残す工程と、
前記フローティングゲートの側壁下部に形成されたシリコン窒化膜からなる前記側壁材上および前記第1、第2の容量素子の下部電極上に形成された前記シリコン窒化膜上に、第4のシリコン酸化膜を形成する工程と、
前記第4のシリコン酸化膜上に導電膜を堆積させ、前記導電膜をパターニングすることにより、前記フローティングゲート上にコントロールゲートを形成すると共に、前記第1、第2の容量素子の下部電極上に前記第1、第2の容量素子の

上部電極を形成する工程と、
を具備することを特徴とする。

【0012】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態について説明する。

【0013】

図1～図4は、本発明の実施の形態による半導体装置の製造方法を示す断面図である。この半導体装置は、Split Gate型Flash Cellと容量値の異なる2つの容量素子とを同一チップ内に形成したものである。

【0014】

まず、図1(a)に示すように、シリコン基板1の表面を850℃前後の温度でウエット酸化することにより、前記シリコン基板1上にゲート酸化膜3を形成する。次に、このゲート酸化膜3上に減圧CVD(Chemical Vapor Deposition)法により厚さ1200～1500オングストローム程度の多結晶シリコン膜5を堆積させる。前記多結晶シリコン膜5を1200オングストローム以上とするのは次のような理由による。後述する選択酸化膜11の形成は前記多結晶シリコン膜5を酸化することにより行われるために、前記多結晶シリコン膜5の膜厚が1200オングストロームより薄くになると後述するフローティングゲート17の膜厚を所望する値に形成できないためである。また、前記多結晶シリコン膜5を1500オングストローム以下とするのは次の理由による。後述する熱酸化工程によってフローティングゲート17の側壁部へ形成するシリコン酸化膜25の付きまわりが悪くなり、シリコン酸化膜25の膜厚が薄くなる。それ故、コントロールゲートとフローティングゲート間のシリコン酸化膜の耐圧が劣化する。よって前記多結晶シリコン膜5を1500オングストローム以下にすることが好ましいのである。

【0015】

次にこの多結晶シリコン膜5上にシリコン窒化膜からなる厚さ800～1000オングストローム程度の酸化防止膜7を堆積する。この後、この酸化防止膜7上にフォトレジスト9を塗布し、このフォトレジスト9を露光、現像する。これ

により、フローティングゲート形成予定領域上に開口部を形成する。次に、フォトレジスト膜9をマスクとして開口部から露出した酸化防止膜7をドライエッチングすることにより、前記酸化防止膜7に開口部を形成する。

【0016】

この後、図1 (b) に示すように、上記フォトレジスト膜9を除去した後、酸化防止膜7をマスクとして開口部から露出した多結晶シリコン膜5を選択的に酸化することにより、前記多結晶シリコン膜5に選択酸化膜11を形成する。

【0017】

次に、図1 (c) に示すように、酸化防止膜7を熱リン酸により除去した後、選択酸化膜11及び多結晶シリコン膜5の上にフォトレジスト13を塗布し、このフォトレジスト13を露光、現像する。これにより、容量値の異なる第1及び第2の容量素子を形成する領域上に開口部を形成する。次に、フォトレジスト膜13をマスクとして多結晶シリコン膜5に第1のドーズ量（例えばドーズ量 $5 \times 10^{15} / \text{cm}^2$ ）で不純物をイオン注入する。不純物10としては例えば燐をイオン注入する。これにより、容量素子を形成する領域の多結晶シリコン膜5に不純物10が導入される。

【0018】

次に、図2 (a) に示すように、上記フォトレジスト膜13を除去した後、全面上にフォトレジスト15を塗布し、このフォトレジスト15を露光、現像する。これにより、容量素子を形成する領域上にレジストパターン15が形成される。この後、このレジストパターン15及び選択酸化膜11をマスクとして多結晶シリコン膜5を垂直方向に異方性エッチングする。これにより、選択酸化膜11の下にフローティングゲート17が形成され、フォトレジスト膜15の下に第1及び第2の容量素子それぞれの下部電極19, 21が形成される。

【0019】

この後、図2 (b) に示すように、上記フォトレジスト膜15を除去した後、容量素子の下部電極19, 21の表面上及びフローティングゲート17の側面上に熱酸化により厚さ60～80オングストローム程度のシリコン酸化膜25を形成する。このとき厚い選択酸化膜11上には、ほとんど酸化膜は成長しない。

【0020】

次に、このシリコン酸化膜25及び選択酸化膜11を含む全面上に厚さ150オングストローム程度のシリコン酸化膜29をCVD法により750℃～850℃の条件で堆積する。

【0021】

次に図2(c)に示すように、全面上にフォトレジスト23を塗布し、このフォトレジスト23を露光、現像する。これにより、他方に比べ容量値の大きい容量素子を形成する領域上に開口部を形成する。その後、露出したシリコン酸化膜29及びその下のシリコン酸化膜25をウエットエッティングにより除去する。これにより、下部電極19の一部が露出する。

【0022】

この後、図3(a)に示すように、上記フォトレジスト膜23を除去した後、下部電極19, 21及びシリコン酸化膜29の表面上に熱酸化により厚さ100オングストローム程度のシリコン酸化膜31を形成する。ここでも、シリコン酸化膜29を介した厚い選択酸化膜11上にはほとんど酸化膜は成長しない。次に、このシリコン酸化膜31上に厚さ150オングストローム程度のシリコン窒化膜33を堆積する。

【0023】

この後、図3(b)に示すように、このシリコン窒化膜33上にフォトレジスト30を塗布し、このフォトレジスト30を露光、現像する。これにより、容量素子の下部電極19, 21上にレジストパターン30が形成される。

【0024】

次に、図4(a)に示すように、このレジストパターン30をマスクとしてシリコン窒化膜33を垂直方向に異方性エッティングする。これにより、フローティングゲート17の側壁下部に側部絶縁膜33aが形成され、下部電極19, 21上にシリコン窒化膜33bが形成される。

【0025】

この後、図4(b)に示すように、シリコン窒化膜の側部絶縁膜33a、シリコン窒化膜33b及びシリコン酸化膜31を含む全面上にCVD法により厚さ1

0.0オングストローム程度のシリコン酸化膜35を堆積する。

【0026】

このシリコン酸化膜35の上に減圧CVD法により多結晶シリコン膜を堆積させ、POCl₃雰囲気により前記多結晶シリコン膜に磷イオンを拡散させた後に、多結晶シリコン膜をパターニングする。これにより、多結晶シリコン膜を選択酸化膜11の上からフローティングゲート17の一側部とシリコン基板1上にかけて残存させる。この残存した多結晶シリコン膜がコントロールゲート36となる。

【0027】

また、下部電極19上にシリコン酸化膜31、シリコン窒化膜33b、及びシリコン酸化膜35を介して多結晶シリコン膜を残存させる。この残存した多結晶シリコン膜が他方に比べ容量値の大きい容量素子の上部電極37となる。

【0028】

また、下部電極21上にシリコン酸化膜25、シリコン酸化膜29、シリコン酸化膜31、シリコン窒化膜33b、及びシリコン酸化膜35を介して多結晶シリコン膜を残存させる。この残存した多結晶シリコン膜がもう一方の（他方に比べ容量値の小さい）容量素子の上部電極38となる。

【0029】

この後、コントロールゲート36とフローティングゲート17との両側のシリコン基板1に不純物を導入することにより、前記シリコン基板1にソース、ドレイン領域の拡散層（図示せず）を形成する。

【0030】

上記実施の形態によれば、同一シリコン基板1上にSplit Gate型Flash Cell及び容量値が異なる容量素子を容易に混載することができる。これにより、別々のチップに形成していた従来のものに比べてチップ数を少なくすることができ、その結果、製品コストを低減できる。

【0031】

また、本実施の形態において、他方に比べ容量値の大きい容量素子は下部電極19、誘電体膜としてのONO膜（シリコン酸化膜31、シリコン窒化膜33b

, シリコン酸化膜35) 及び上部電極37から構成される。

【0032】

また、本実施の形態において、他方に比べ容量値の小さい容量素子は下部電極21、誘電体膜としてのONO膜(シリコン酸化膜25, シリコン酸化膜29, シリコン酸化膜31, シリコン窒化膜33b, シリコン酸化膜35) 及び上部電極38から構成される。

【0033】

このように誘電体膜がONO膜となる容量素子を作ることができるのは、図4(a)に示す工程で、フローティングゲート17の側壁下部にシリコン窒化膜からなる側部絶縁膜33aを形成すると同時に下部電極19, 21上にシリコン酸化膜31を介してシリコン窒化膜33bを形成するからである。

【0034】

また互いに異なる容量の容量素子を作ることができるのは、図2(c)に示す工程で、他方に比べ容量の大きい容量素子を形成する側のシリコン酸化膜のみ除去する工程を設けることによって、誘電体膜としてのONO膜の膜厚を異なさせて形成することができるからである。

【0035】

尚、本発明は上記実施の形態に限定されず、種々変更して実施することが可能である。例えば、上記実施の形態では、コントロールゲート36及び上部電極37, 38を多結晶シリコン膜により形成しているが、コントロールゲート36、及び上部電極37, 38をチタンシリサイド、タンゲステンシリサイド、コバルトシリサイドなどのシリサイドとポリシリコンの2層構造からなるポリサイド膜により形成することも可能である。これによりコントロールゲート36および上部電極37, 38の抵抗値を低くすることができ、高速化を実現することができる。

【0036】

【発明の効果】

以上説明したように本発明によれば、フラッシュセルと容量素子を同一チップ内に形成でき、しかも容量値の異なる複数の容量素子を容易に形成できる半導体

装置及びその製造方法を提供することができる。

【図面の簡単な説明】

【図1】

図1（a）～図1（c）は、本発明の実施の形態による半導体装置の製造方法を示す断面図である。

【図2】

図2（a）～図2（c）は、本発明の実施の形態による半導体装置の製造方法を示すものであり、図1（c）の次の工程を示す断面図である。

【図3】

図3（a）及び図3（b）は、本発明の実施の形態による半導体装置の製造方法を示すものであり、図2（c）の次の工程を示す断面図である。

【図4】

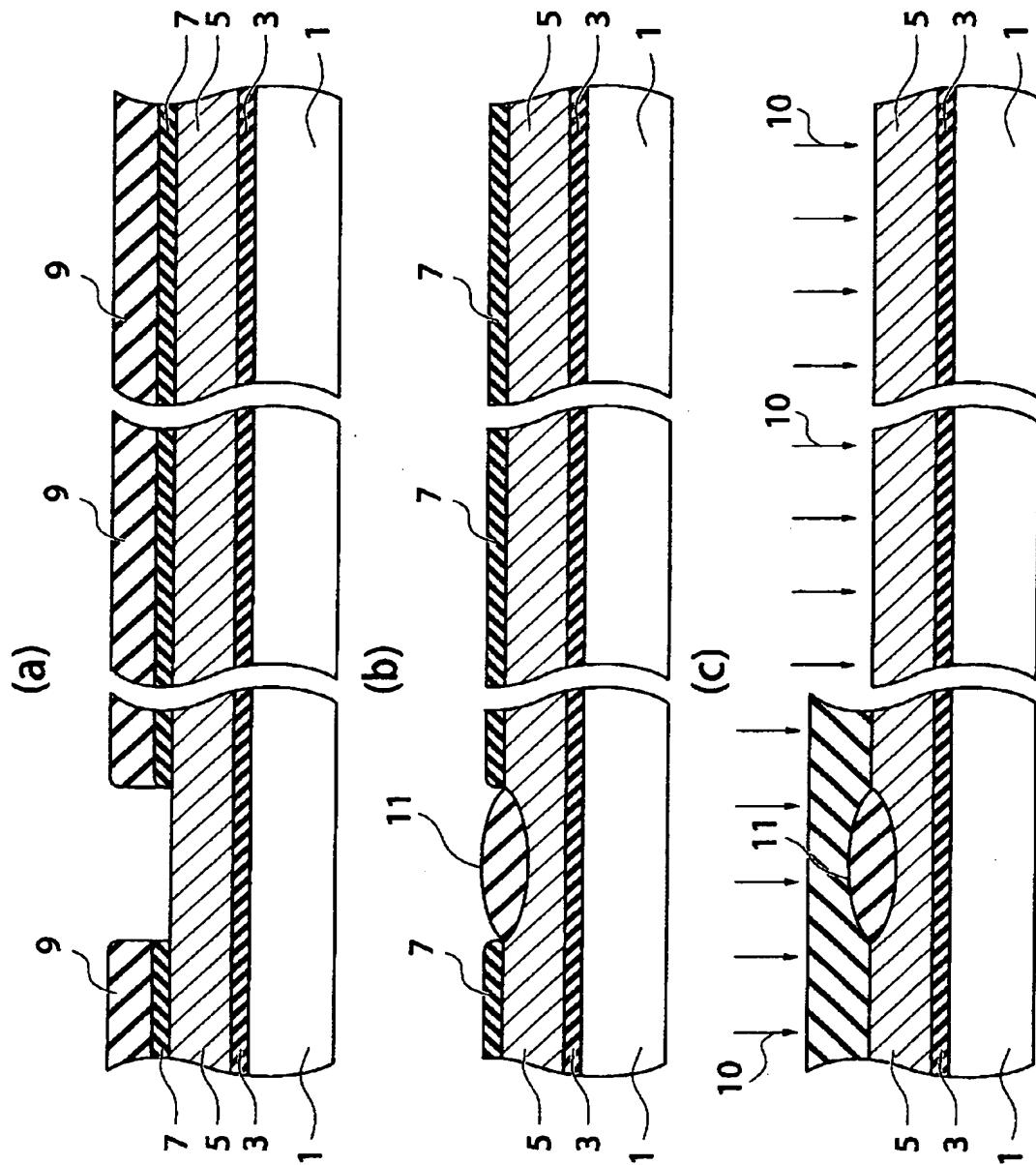
図4（a）及び図4（b）は、本発明の実施の形態による半導体装置の製造方法を示すものであり、図3（b）の次の工程を示す断面図である。

【符号の説明】

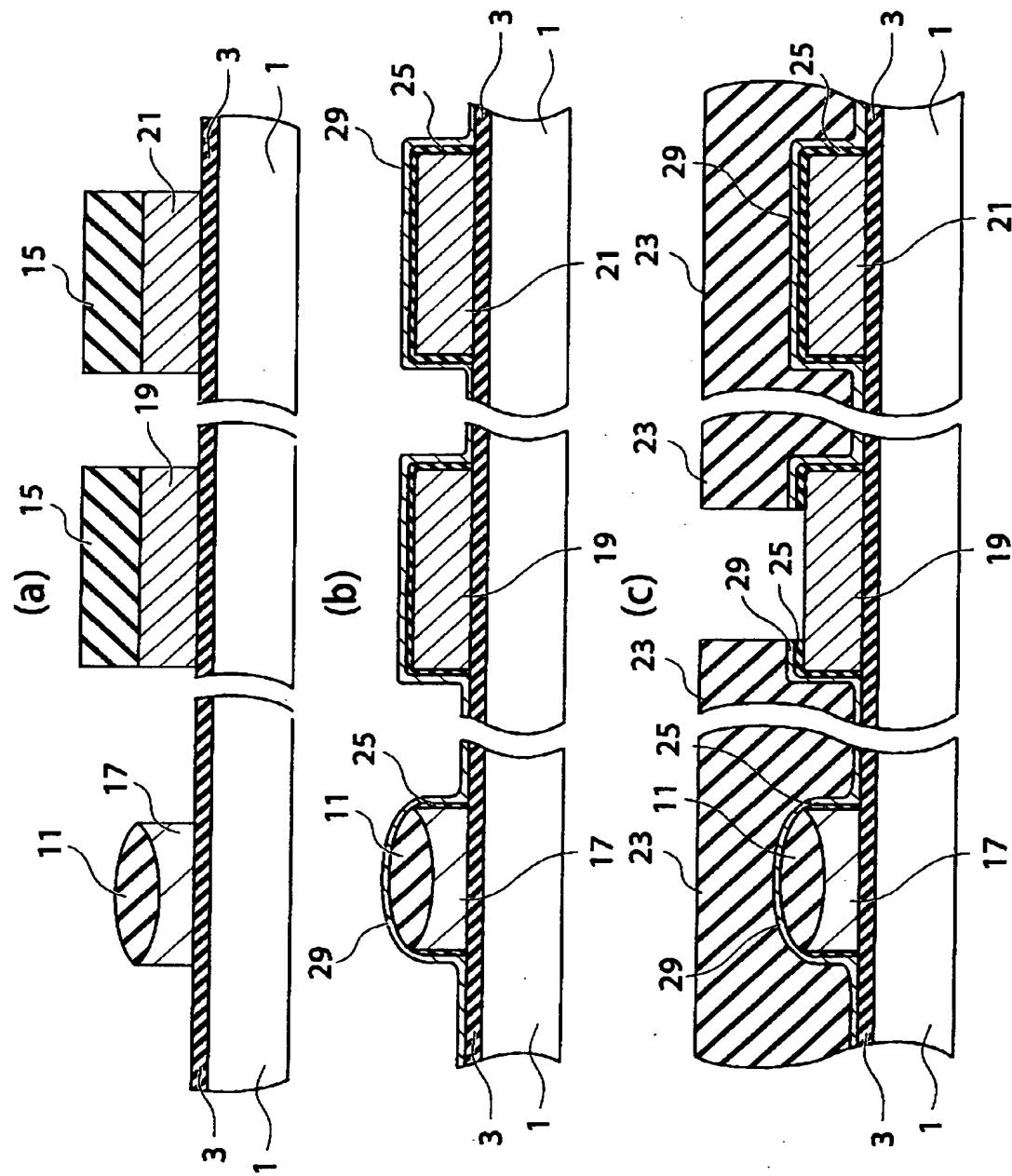
1	シリコン基板	3	ゲート酸化膜
5	多結晶シリコン膜	7	酸化防止膜
9	フォトレジスト膜	10	不純物
11	選択酸化膜	13	フォトレジスト膜
15	フォトレジスト膜	17	フローティングゲート
19	容量素子の下部電極	21	容量素子の下部電極
23	フォトレジスト膜	25	シリコン酸化膜
29	シリコン酸化膜	30	フォトレジスト膜
31	シリコン酸化膜	33	シリコン窒化膜
33a	側部絶縁膜	33b	シリコン窒化膜
35	シリコン酸化膜	36	コントロールゲート
37	容量素子の上部電極	38	容量素子の上部電極

【書類名】 図面

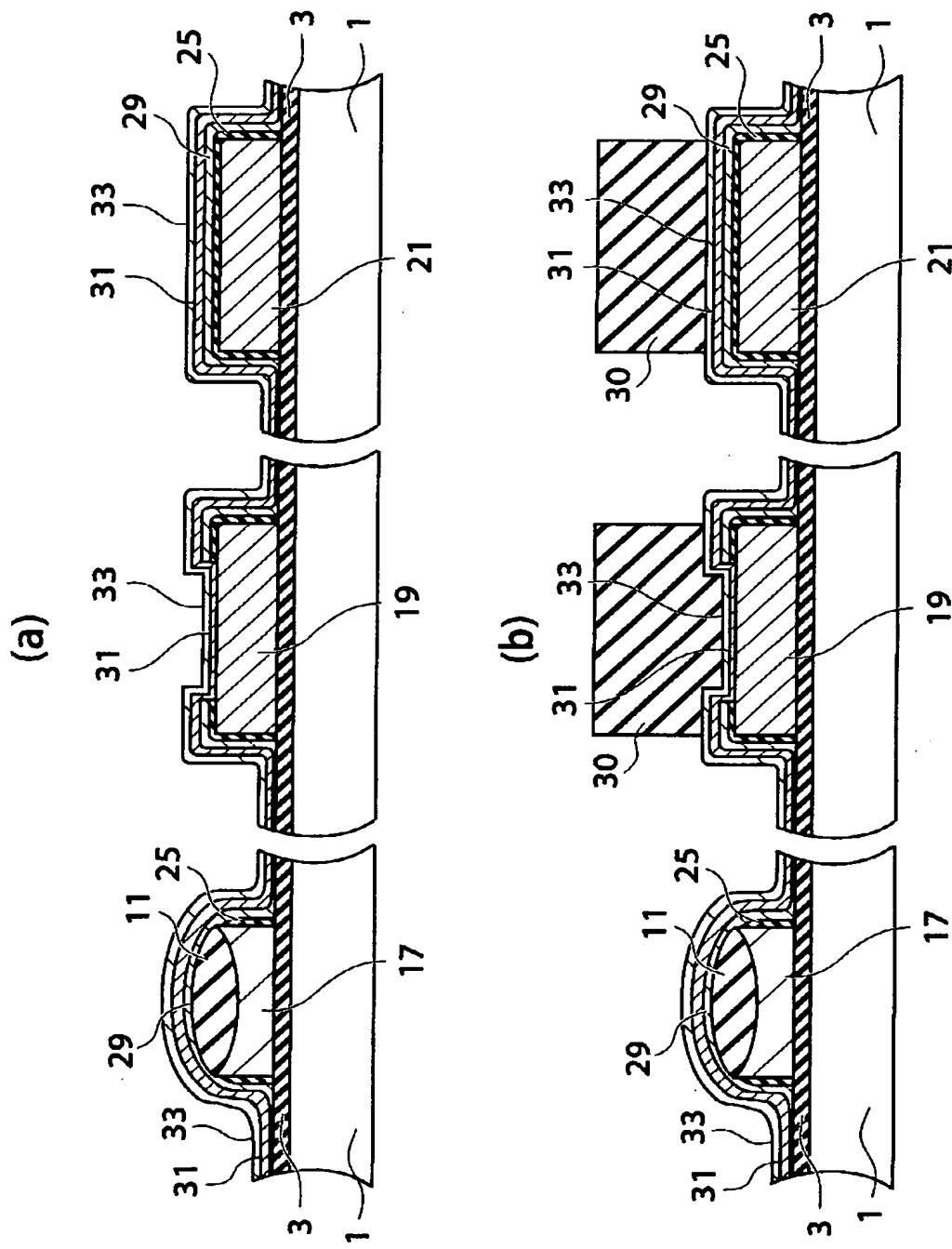
【図1】



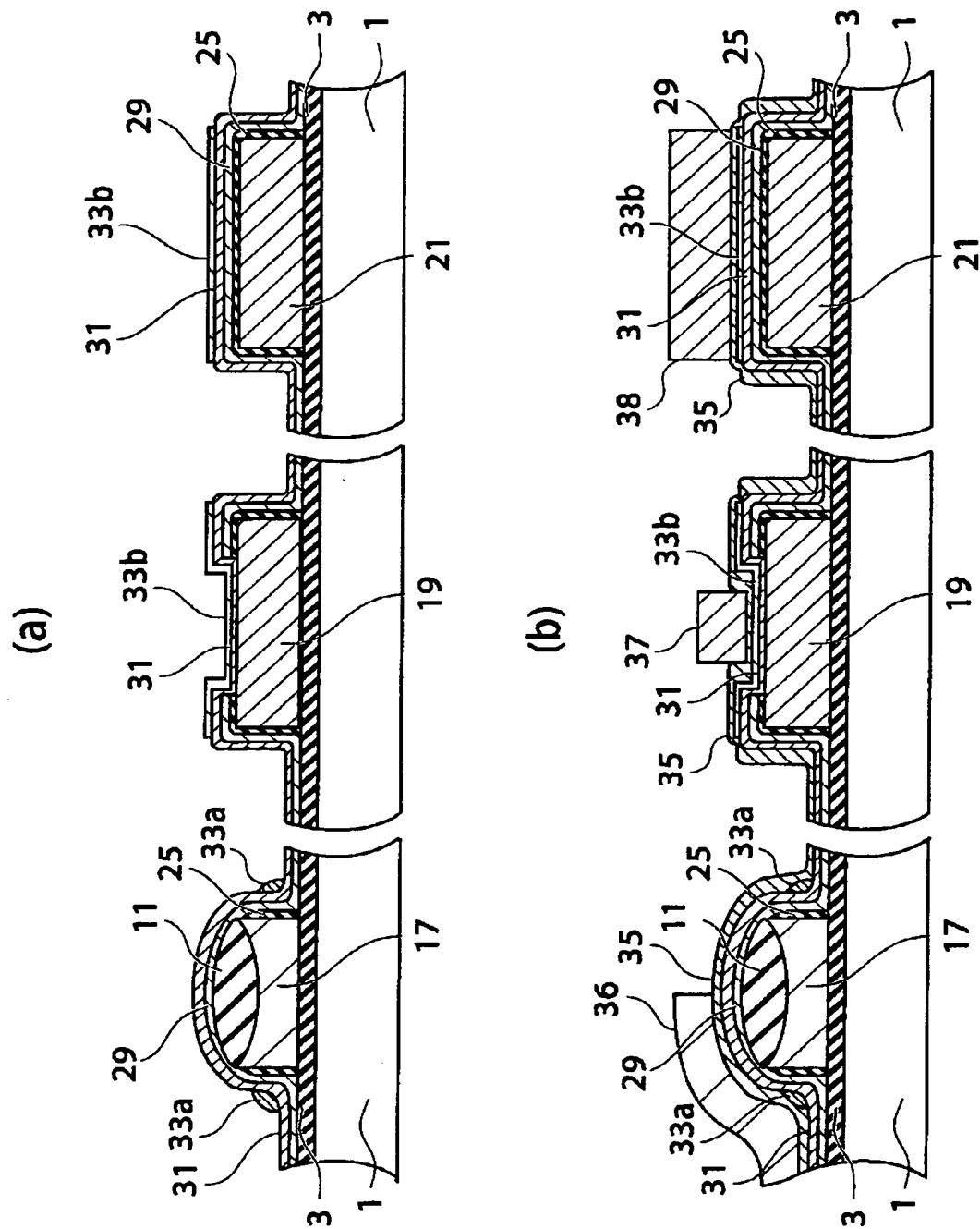
【図2】



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 フラッシュセルと容量値の異なる容量素子を同一チップ内に形成した半導体装置及びその製造方法を提供する。

【解決手段】 シリコン基板1上に絶縁膜3、多結晶シリコン膜5を形成し、この多結晶シリコン膜5をエッティングすることにより、絶縁膜3上にフローティングゲート17及び下部電極19, 21を形成する。次に、フローティングゲート17及び下部電極19, 21上にシリコン酸化膜25, 29を形成し、容量値の大きい容量素子形成予定領域のみ、このシリコン酸化膜25, 29を除去する。その後、シリコン酸化膜31、シリコン窒化膜33を堆積し、この窒化膜を異方性エッティングすることにより、フローティングゲート17の側壁下部に前記窒化膜からなる側壁材33aを形成すると共に、下部電極19, 21上に窒化膜33bを残す。この上にシリコン酸化膜35を形成し、その後コントロールゲート36及び上部電極37, 38を形成する。

【選択図】 図4

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社